

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-245396

(43)Date of publication of application : 19.09.1995

(51)Int.Cl.

H01L 29/78

(21)Application number : 06-034424

(71)Applicant : SHARP CORP

(22)Date of filing : 04.03.1994

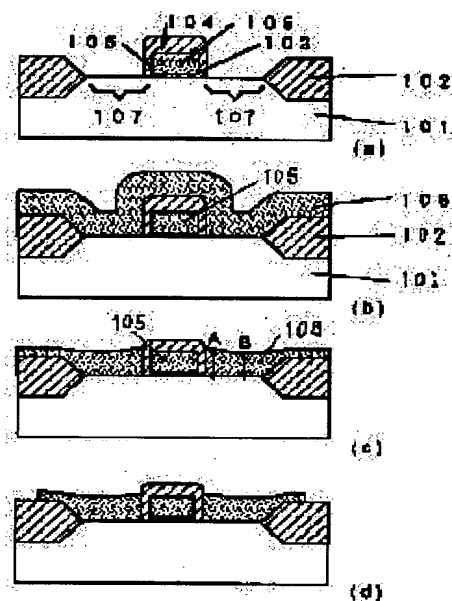
(72)Inventor : KOTAKI HIROSHI
MORI YUKIKO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To accurately form a piling diffusion layer at a relatively low temperature by making a height from one main surface in an area near a gate electrode to a surface of a semiconductor layer the highest in the semiconductor layer, and by making that a semiconductor layer extending an isolation region is source and drain regions of a transistor wherein a gate electrode is a gate.

CONSTITUTION: A gate electrode 105 including a field oxide film 102 and a first silicon oxide film 104 is formed on a silicon substrate 101. A polycrystalline silicon film 108 is formed and polished until the first silicon oxide film 104 is exposed, and a thickness A of a polysilicon film in an area near an end of the gate electrode 105 is made thicker than a thickness B of other parts. The polycrystalline silicon film 108 is patterned to a required pattern and unnecessary polycrystalline silicon is removed by etching to prevent a source region and a drain region from shortcircuiting on a field oxide film and a semiconductor layer is formed. In the process, a mask extending over a field oxide film 102 is desirable for patterning.



LEGAL STATUS

[Date of request for examination]

08.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3394083

[Date of registration]

31.01.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] On the 1 principal plane of a semi-conductor substrate, a component isolation region, gate dielectric film, and a gate electrode, It has the semi-conductor layer which approached this gate electrode, was separated electrically and accumulated on the top Norikazu principal plane. The height from the top Norikazu principal plane near [above-mentioned] the gate electrode edge to the front face of the above-mentioned semi-conductor layer is the highest in the above-mentioned semi-conductor layer. The source of a transistor with which the above-mentioned semi-conductor layer extends to the above-mentioned component isolation region, and the above-mentioned semi-conductor layer makes the above-mentioned gate electrode the gate, the semiconductor device characterized by being a drain field.

[Claim 2] The semiconductor device according to claim 1 characterized by the front face of the above-mentioned semi-conductor layer being a silicide layer.

[Claim 3] The semiconductor device according to claim 1 or 2 characterized by forming the contact which takes connection with up wiring on the above-mentioned semi-conductor layer on the above-mentioned component isolation region, or the above-mentioned silicide layer.

[Claim 4] The process which forms the process which forms a component isolation region and an active region on a silicon substrate, and the gate electrode covered by gate oxide and the 1st insulator layer on this active region, The process which deposits the 2nd insulator layer, and the process which carries out etchback of the 2nd insulator layer, and forms an insulator layer in the above-mentioned gate electrode

side-attachment-wall section until the above-mentioned silicon substrate surface of the above-mentioned active region is exposed, The process which deposits any of the polycrystalline silicon film or the amorphous silicon film they are, The process which grinds the above-mentioned polycrystalline silicon film or the above-mentioned amorphous silicon film until the 1st insulator layer is exposed by the chemical mechanical grinding method, The process which carries out pattern NINGU and forms a semi-conductor layer in the configuration of a request of the above-mentioned polycrystalline silicon film or the above-mentioned amorphous silicon film so that it may not connect too hastily on the above-mentioned component isolation region, The manufacture approach of the semiconductor device characterized by including the process which introduces the impurity of the above-mentioned silicon substrate and a reverse conductivity type into the above-mentioned semi-conductor layer, and forms the source and a drain field.

[Claim 5] The process which forms a component isolation region and an active region on a single crystal silicon substrate, The process which forms the gate electrode covered by gate oxide and the 1st insulator layer on this active region, The process which deposits the 2nd insulator layer, and the process which carries out etchback of the 2nd insulator layer, and forms an insulator layer in the above-mentioned gate electrode side-attachment-wall section until the above-mentioned single crystal silicon substrate surface of the above-mentioned active region is exposed, After exposing the pure above-mentioned single crystal silicon substrate surface in the condition without atmospheric-air disconnection by the LPCVD method The process into which the silicon single crystal film which deposited any of the polycrystalline silicon film or the amorphous silicon film on the conditions which any of the polycrystalline silicon film or the amorphous silicon film they are deposits in fields other than the exposed field, and inherited field bearing of the above-mentioned single crystal silicon substrate is grown up, The process which grinds the silicon film containing the above-mentioned silicon single crystal film until the 1st insulator layer is exposed by the chemical mechanical grinding method, The process which carries out pattern NINGU and forms a semi-conductor layer in the configuration of a request of the above-mentioned silicon film so that it may not connect too hastily on the above-mentioned component isolation region, The manufacture approach of the semiconductor device characterized by including the process which introduces the impurity of the above-mentioned silicon substrate and a reverse conductivity type into the above-mentioned semi-conductor layer, and forms the source and a drain field.

[Claim 6] The manufacture approach of the semiconductor device according to claim 4

or 5 characterized by performing the process which carries out pattern NINGU and forms a semi-conductor layer in the configuration of a request any of the above-mentioned polycrystalline silicon film ground by the above-mentioned chemical mechanical grinding method, the above-mentioned amorphous silicon film, or the above-mentioned silicon film they are, and the process of pattern NINGU which connects between the adjoining semi-conductor layers to coincidence.

[Claim 7] The manufacture approach of the semiconductor device according to claim 4, 5, or 6 characterized by including the process which deposits the refractory metal film on the above-mentioned semi-conductor layer, and the silicide-ized process.

[Claim 8] The process which deposits the refractory metal film after the process which carries out pattern NINGU and forms a semi-conductor layer in a desired configuration, The process which the above-mentioned refractory metal film is made to react with a semi-conductor layer by 1st rapid heating processing, and forms the refractory metal silicide film, The process which pours in the impurity of a silicon substrate and a reverse conductivity type into the above-mentioned refractory metal silicide film with ion-implantation, The manufacture approach of the semiconductor device according to claim 4 or 5 characterized by including the process which carries out etching removal of the unreacted above-mentioned refractory metal film, and the process which changes the above-mentioned refractory metal silicide film to the stable crystal structure by 2nd rapid heating processing.

[Claim 9] The manufacture approach of the semiconductor device according to claim 4 or 5 characterized by it being [of the 1st insulator layer or the 2nd insulator layer] a silicon nitride any they are at least.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] About the manufacture approach of a semiconductor device and a semiconductor device, especially this invention is accumulated and relates to the structure and the manufacture approach of a diffusion layer mold transistor.

[0002]

[Description of the Prior Art] The gate length of MOSFET also needs to shorten more with contraction-izing of LSI. However, in MOSFET of the conventional LDD (Lightly Doped Drain) structure, since the source, a drain field, and a junction with a

semi-conductor substrate are deeply formed in a semi-conductor substrate side, the short channel effect happens and there is a trouble that gate length cannot be shortened. In order to form the junction depth shallowly, although energy of an ion implantation is made low and the attempt which realizes shorter gate length's transistor for activation annealing by MOSFET of LDD structure low-temperature-izing or by forming elevated-temperature rapid heating processing is also performed briskly, it has not resulted in fundamental solution.

[0003] Then, the technique which forms a junction shallowly substantially attracts attention by accumulating a semi-conductor layer and forming the source and a drain field in the semi-conductor layer from one principal plane of the semi-conductor substrate used as the channel field of MOSFET. The conventional technique of MOSFET (accumulating diffusion layer mold transistor) of the source which accumulated the semi-conductor layer on below and was formed in it from one principal plane of the semi-conductor substrate used as the above-mentioned channel field, and the structure of having a drain field is explained.

[0004] The former accumulates on drawing 4 and the manufacture approach of the semiconductor device which is a diffusion layer mold transistor is shown (JP,61-196577,A). As shown in drawing 4 (a), it is manufactured according to the process which forms gate oxide 403 and the gate electrode 404 with which the front face was covered by silicon oxide 405 on the silicon substrate 401 in which field oxide 402 was formed to the predetermined field, and the process which accumulates the silicon film 406 by growing silicon epitaxially alternatively on an active region as shown in drawing 4 (b).

[0005] Other former accumulates on drawing 5 and the manufacture approach of the semiconductor device which is a diffusion layer mold transistor is shown (M. Shimizu et al., Symposium on VLSI Technology Digest of Technical Papers, P11 (1988)). As are shown in drawing 5 (a) and it is indicated in drawing 5 (b) as the process which deposits the polycrystalline silicon film 503 on the silicon substrate 501 in which field oxide 502 was formed to the predetermined field. After forming silicon oxide 504 on the above-mentioned polycrystalline silicon film 503, the silicon oxide 504 and the polycrystalline silicon film 503 of the channel field of a transistor, and the becoming field by RIE. It is manufactured according to the process etched until a silicon substrate 501 is exposed, and the process which forms gate oxide 505 and the gate electrode 506 as shown in drawing 5 (c). Moreover, as shown in drawing 5 (d), after doping an impurity with ion-implantation to the source, a drain field, and the becoming field and being activated by heat treatment for the silicide stratification, the spatter of Ti is

carried out and, generally the approach of forming the titanium silicide film 507 on the gate electrode 506 and the source, and the drain field 508 in self align by RTA is performed.

[0006]

[Problem(s) to be Solved by the Invention] However, there are the following troubles with the conventional technique shown in drawing 4 . That is, in a selection silicon epitaxial growth system, in order to use very a lot of hydrogen, a scale is large and cost also requires it very much. Moreover, as deposition pretreatment, in order for hydrogen reduction to remove the natural oxidation film on an active region, it is necessary to heat-treat at the temperature of 1000 degrees C or more. Furthermore, about the transistor structure which accumulated the semi-conductor layer formed with such equipment, on the property of a selection silicon epitaxial growth system, as shown in drawing 4 (b), a facet occurs on the silicon film 406 by which epitaxial growth was carried out [near the edge of the gate electrode 404], and the thickness of the silicon by which epitaxial growth was carried out becomes thin. Therefore, near the channel field of gate electrode 404 edge, junction becomes deep, it is influenced of the short channel effect, and, as for the source and the drain field which are formed of the ***** diffusion within solid phase, or an ion implantation, formation of detailed gate length's transistor becomes difficult partially. Furthermore, since 900 degrees C - 1100 degrees C and deposition temperature are high, with thermal stress etc., near the field oxide near the gate electrode, a crystal defect arises and leakage current usually increases a top with few heat treatment margins on a production process.

[0007] Moreover, there are the following troubles with the conventional technique shown in drawing 5 . That is, in the process etched until a silicon substrate 501 exposes the silicon oxide 504 and the polycrystalline silicon film 503 of the channel field of a transistor, and the becoming field by RIE, in order that the part equivalent to the channel field of a silicon substrate 501 may receive a damage by RIE, transistor characteristics, such as mobility, are worsened. Moreover, since a gate electrode cannot be formed in self align to the source and the drain field which were accumulated, an alignment gap surely occurs and offset of the right-and-left asymmetry for which the gate electrode configuration changed with T mold configuration, the gate electrode 506 became a mask at the time of the impurity ion implantation for the source and drain field formation, and it depended on alignment precision occurs, transistor characteristics become right-and-left asymmetry. Furthermore, about silicide formation, since the impurity diffused layer is formed before performing a silicide-ized reaction (for example, before depositing Ti metal), control of a silicide-ized reaction becomes

difficult, TiSi_2 - C54 crystal cannot form stably, but resistance of titanium silicide becomes high. Especially, in titanium silicide, the diffusion layer of n mold becomes high.

[0008] Then, the purpose of this invention is to offer the semiconductor device which can solve the above-mentioned trouble, and its manufacture approach.

[0009]

[Means for Solving the Problem] A semiconductor device according to claim 1 on the 1 principal plane of a semi-conductor substrate A component isolation region, It has gate dielectric film, a gate electrode, and the semi-conductor layer that approached this gate electrode, was separated electrically and accumulated on the top Norikazu principal plane. The height from the top Norikazu principal plane near [above-mentioned] the gate electrode edge to the front face of the above-mentioned semi-conductor layer is the highest in the above-mentioned semi-conductor layer, the above-mentioned semi-conductor layer extends to the above-mentioned component isolation region, and it is characterized by being the source of a transistor with which the above-mentioned semi-conductor layer makes the above-mentioned gate electrode the gate, and a drain field.

[0010] A semiconductor device according to claim 2 is characterized by the front face of the above-mentioned semi-conductor layer being a silicide layer in a semiconductor device according to claim 1.

[0011] A semiconductor device according to claim 3 is characterized by forming the contact which takes connection with up wiring on the above-mentioned semi-conductor layer on the above-mentioned component isolation region, or the above-mentioned silicide layer in a semiconductor device according to claim 1 or 2.

[0012] The process at which the manufacture approach of a semiconductor device according to claim 4 forms a component isolation region and an active region on a silicon substrate, The process which forms the gate electrode covered by gate oxide and the 1st insulator layer on this active region, The process which deposits the 2nd insulator layer, and the process which carries out etchback of the 2nd insulator layer, and forms an insulator layer in the above-mentioned gate electrode side-attachment-wall section until the above-mentioned silicon substrate surface of the above-mentioned active region is exposed, The process which deposits any of the polycrystalline silicon film or the amorphous silicon film they are, The process which grinds the above-mentioned polycrystalline silicon film or the above-mentioned amorphous silicon film until the 1st insulator layer is exposed by the chemical mechanical grinding method, The process which carries out pattern NINGU and forms

a semi-conductor layer in the configuration of a request of the above-mentioned polycrystalline silicon film or the above-mentioned amorphous silicon film so that it may not connect too hastily on the above-mentioned component isolation region, It is characterized by including the process which introduces the impurity of the above-mentioned silicon substrate and a reverse conductivity type into the above-mentioned semi-conductor layer, and forms the source and a drain field.

[0013] The process at which the manufacture approach of a semiconductor device according to claim 5 forms a component isolation region and an active region on a single crystal silicon substrate, The process which forms the gate electrode covered by gate oxide and the 1st insulator layer on this active region, The process which deposits the 2nd insulator layer, and the process which carries out etchback of the 2nd insulator layer, and forms an insulator layer in the above-mentioned gate electrode side-attachment-wall section until the above-mentioned single crystal silicon substrate surface of the above-mentioned active region is exposed, After exposing the pure above-mentioned single crystal silicon substrate surface in the condition without atmospheric-air disconnection by the LPCVD method The process into which the silicon single crystal film which deposited any of the polycrystalline silicon film or the amorphous silicon film on the conditions which any of the polycrystalline silicon film or the amorphous silicon film they are deposits in fields other than the exposed field, and inherited field bearing of the above-mentioned single crystal silicon substrate is grown up, The process which grinds the silicon film containing the above-mentioned silicon single crystal film until the 1st insulator layer is exposed by the chemical mechanical grinding method, It is characterized by including the process which carries out pattern NINGU and forms a semi-conductor layer in the configuration of a request of the above-mentioned silicon film so that it may not connect too hastily on the above-mentioned component isolation region, and the process which introduces the impurity of the above-mentioned silicon substrate and a reverse conductivity type into the above-mentioned semi-conductor layer, and forms the source and a drain field.

[0014] The manufacture approach of a semiconductor device according to claim 6 is characterized by to perform the process which carries out pattern NINGU and forms a semi-conductor layer in the configuration of a request any of the above-mentioned polycrystalline silicon film ground by the above-mentioned chemical mechanical grinding method, the above-mentioned amorphous silicon film, or the above-mentioned silicon film they are, and the process of pattern NINGU which connects between the adjoining semi-conductor layers to coincidence in the manufacture approach of a semiconductor device according to claim 4 or 5.

[0015] The manufacture approach of a semiconductor device according to claim 7 is characterized by including the process which deposits the refractory metal film on the above-mentioned semi-conductor layer, and the silicide-ized process in the manufacture approach of a semiconductor device according to claim 4, 5, or 6.

[0016] The manufacture approach of a semiconductor device according to claim 8 is set to the manufacture approach of a semiconductor device according to claim 4 or 5. The process which deposits the refractory metal film after the process which carries out pattern NINGU and forms a semi-conductor layer in a desired configuration, The process which the above-mentioned refractory metal film is made to react with a semi-conductor layer by 1st rapid heating processing, and forms the refractory metal silicide film, The process which pours in the impurity of a silicon substrate and a reverse conductivity type into the above-mentioned refractory metal silicide film with ion-implantation, It is characterized by including the process which carries out etching removal of the unreacted above-mentioned refractory metal film, and the process which changes the above-mentioned refractory metal silicide film to the stable crystal structure by 2nd rapid heating processing.

[0017] The manufacture approach of a semiconductor device according to claim 9 is characterized by it being [of the 1st insulator layer or the 2nd insulator layer] a silicon nitride any they are at least in the manufacture approach of a semiconductor device according to claim 4 or 5.

[0018]

[Function] Since a semi-conductor layer is buried between a gate electrode and a component isolation region, while being able to perform flattening according to the semiconductor device according to claim 1, since it can maintain at the condition that a facet is lost and the semi-conductor layer near the gate electrode edge is not thin at least, the short channel effect can be prevented effectively.

[0019] According to the semiconductor device according to claim 2, since the source and a drain field can be formed into low resistance, resistance of a diffusion layer can be made low, and a transistor can be accelerated.

[0020] Since the source and a drain field can be made small, while high integration becomes easy according to the semiconductor device according to claim 3, a junction capacitance is reduced and a transistor can be accelerated.

[0021] Since according to the manufacture approach of a semiconductor device according to claim 4 it can accumulate and a semi-conductor layer can be comparatively formed at low temperature while being able to cancel a facet and being able to prevent the short channel effect, the temperature margin in a production

process increases.

[0022] According to the manufacture approach of a semiconductor device according to claim 5, it accumulates, and by that which can use a semi-conductor layer as the silicon single crystal film or the film with which the polycrystalline silicon film with a big grain size of about 1-10 micrometers was intermingled in the part, control of the junction depth becomes easy and the source, the stable drain field, or the stable channel field can be formed.

[0023] According to the manufacture approach of a semiconductor device according to claim 6, since partial wiring and a mask can be shared, process simplification and cost reduction can be performed.

[0024] According to the manufacture approach of a semiconductor device according to claim 7, since the silicide film is formed in the source and a drain field at least, izing of the source and the drain field can be carried out [low ****].

[0025] According to the manufacture approach of a semiconductor device according to claim 8, the silicide film can be stabilized and formed in low resistance. It is stabilized, the titanium silicide film can be formed and the n mold diffusion layer is especially made to low resistance.

[0026] According to the manufacture approach of a semiconductor device according to claim 9, in performing chemical mechanical polish, the manufacture yield improves by that which can raise abrasion resistance. Moreover, when removing the 1st insulator layer alternatively in performing silicide-ization of a gate electrode, with the 2nd insulator layer left, the 1st insulator layer can be easily removed by replacing the quality of the material of the 2nd insulator layer with the 1st.

[0027]

[Example] Below, the example of this invention is explained at a detail. It cannot be overemphasized that they are applicable also about a pMOS transistor and a cMOS transistor on a P type silicon substrate hereafter although the source of n mold and a drain field are explained about the case of a nMOS transistor.

[0028] (The 1st example) The production process cross section of the semiconductor device applied to the 1st example at drawing 1 is shown.

[0029] First, as shown in drawing 1 (a), the gate electrode 105 of 1500A of thickness covered by field oxide 102 of 4000A of thickness, gate oxide 103 of 100A of thickness, and the 1st silicon oxide 104 whose upper part is 1500A of thickness is formed on a silicon substrate 101, and etchback of the 2nd silicon oxide 106 is carried out with an RIE system until the active region 107 of a silicon substrate 101 is exposed with reduced pressure chemical vapor deposition (LPCVD law), after depositing the 2nd

silicon oxide 106 of 500A of thickness. In addition, since trouble is to carry out solid phase epitaxial growth in the example which a crystal defect generates and mentions later in an active region 107 when an RIE system usually performs etchback, in the conditions which a crystal defect does not generate, for example, an etchback process, the 2nd silicon oxide 106 can be made to be able to remain and how fluoric acid removes a remained part can also be used. The height from the front face of the silicon substrate 101 of the gate electrode 105 containing the 1st formed silicon oxide 104 is formed through this process more highly than the height from the front face of the silicon substrate 101 of field oxide 102. Moreover, the polycrystalline silicon film with which the impurity was introduced and formed into low resistance as a gate electrode 105, or the silicide film can be used. In addition, although this example does not show, an impurity is introduced into a channel field, the threshold of a transistor is adjusted or impurity installation for LDD is suitably performed to the bottom of SAIDO Wall of the 2nd silicon oxide. Furthermore, it is more desirable for the 1st silicon oxide 104 to have taken into consideration the chemical mechanical polish process mentioned later.

[0030] Next, after performing ashing processing, washing, ammonia filtered-water processing, and HF processing one by one in order to defecate active-region 107 front face as shown in drawing 1 (b), the polycrystalline silicon film 108 of 1000A of thickness is deposited with LPCVD equipment. Here, the height from the silicon substrate 101 to the polycrystalline silicon film 108 on the gate electrode 105 is higher than a field oxide 102 top.

[0031] Next, using the solution which added colloidal silica in the amine system alkali solution, as shown in drawing 1 (c), the above-mentioned polycrystalline silicon film 108 is ground by the chemical mechanical grinding method (the CMP method) until the 1st silicon oxide 104 of the gate electrode 105 upper part is exposed. Here, the polycrystalline silicon film 108 of the part equivalent to a source field and a drain field is electrically connected along with the gate electrode 105, although not illustrated. In addition, height A and B can be adjusted by adjusting the height of the 1st silicon oxide 104 and the gate electrode 105.

[0032] Next, as shown in drawing 1 (d), etching removal of the unnecessary polycrystalline silicon is carried out, and a semi-conductor layer is formed so that pattern NINGU may be carried out and a source field and a drain field may not connect with the pattern of a request of the above-mentioned polycrystalline silicon film 108 too hastily on field oxide. The mask of pattern NINGU may be used also [mask / of partial wiring mentioned later] that what is necessary is just the mask which can separate a source field and a drain field. Moreover, the mask it was made to extend on field oxide

102 is good.

[0033] Ion grouting which is not illustrated forms and accumulates the source and a drain field through a heat treatment process, and after the process of drawing 1 (d) forms a diffusion layer mold transistor.

[0034] It was formed by the approach of this example and accumulates. With the structure of a diffusion layer mold transistor Since polish removal of the polycrystalline silicon film 108 of the gate electrode 105 upper part is carried out by the CMP method, It was formed with the conventional selection silicon epitaxial grown method, and accumulates. The diffusion layer mold source, Without a facet occurring on the silicon film accumulated near the gate electrode 105 edge unlike the approach of forming a drain field Thickness A of the polycrystalline silicon with which it was accumulated near the gate electrode 105 edge As compared with thickness B in locations other than near the gate electrode 105 edge, it is thick, and since the thickness of thickness A and thickness B becomes equal even when it is the worst, the junction depth can be shallowly formed also near the gate electrode 105 edge.

[0035] It accumulates. furthermore, it was silicide-ized in order to form the source and a drain field into low resistance -- the formation approach of a diffusion layer mold transistor After passing through the process to drawing 1 (d), as shown in drawing 1 (e), with a refractory metal, for example, this example After depositing the titanium film of 500A of thickness which can carry out [low ****]-izing most, at the temperature of about 600 degrees C Under nitrogen-gas-atmosphere mind, perform 1st rapid heating processing, it is made to react with the source and the polycrystalline silicon film 108 used as a drain field, and metastable TiSi_2 - C49 crystal-structure titanium silicide film 109 is formed in stoichiometric. Next, after pouring in the impurity of a silicon substrate 101 and a reverse conductivity type into the titanium silicide film 109 which serves as the source and a drain field with ion-implantation, and the polycrystalline silicon film 108, etching removal of the unreacted titanium film and the titanium nitride film formed of the 1st rapid heating processing is carried out with the mixed solution of a sulfuric acid and hydrogen peroxide solution. the ion implantation of the impurity in this example -- arsenic ion -- the impregnation energy of 100KeV(s) -- dose impregnation of $5 \times 10^{15} \text{cm}^{-2}$ -- it is carrying out. In addition, with a pMOS transistor, boron ion or boron fluoride ion is poured in instead of arsenic ion. It is best to choose impregnation energy so that the thickness ($R_p + \Delta R_p$) of the above-mentioned titanium silicide film may become almost equal here by setting the range R_p in an ion implantation, and its standard deviation to ΔR_p in any case.

[0036] Next, as shown in drawing 1 (f), while performing 2nd rapid heating processing

of about 1000 degrees C and changing the titanium silicide film 109 to the TiSi_2 - C54 stable crystal structure, the impurity ion of a semiconductor substrate and a reverse conductivity type poured in by the above-mentioned ion implantation is activated, and the source which reaches to the channel field of a transistor, and the drain field 110 are formed. The rest is the well-known approach, is accumulated and forms the silicide diffusion layer mold MOSFET.

[0037] Since heat treatment of the above-mentioned 850 degrees C or more can perform activation of an impurity which carried out [above-mentioned] the ion implantation when the reflow process of the interlayer insulation film by heat treatment of 850 degrees C or more enters later although 1000 degrees C of 2nd rapid heating processing are performed about 20 seconds under nitrogen-gas-atmosphere mind in this example, 2nd (850 degrees C - about 950 degrees C) rapid heating processing may be performed at lower temperature.

[0038] (The 2nd example) The production process cross section of the semiconductor device applied to the 2nd example at drawing 2 is shown. Conditions other than the point that the 2nd example has prepared the silicon nitride instead of silicon oxide on the gate electrode, the point that a gate electrode is the polycrystalline silicon film, and the point that also silicide-izes a gate electrode of the 1st example are the same.

[0039] First, as shown in drawing 2 (a), the gate electrode 205 which consists of polycrystalline silicon of 1500A of thickness covered by field oxide 202 of 4000A of thickness, gate oxide 203 of 100A of thickness, and the silicon nitride 204 whose upper part is 1500A of thickness is formed on a silicon substrate 201, and etchback of the above-mentioned silicon oxide 206 is carried out with an RIE system until the active region 207 of a silicon substrate 201 is exposed with reduced pressure chemical vapor deposition (LPCVD law), after depositing silicon oxide 206 of 500A of thickness.

[0040] Next, after performing ashing processing, washing, ammonia filtered-water processing, and HF processing one by one in order to defecate active-region 207 front face as shown in drawing 2 (b), the polycrystalline silicon film 208 of 1000A of thickness is deposited with LPCVD equipment.

[0041] Next, by the chemical mechanical grinding method (the CMP method), as shown in drawing 2 (c), the above-mentioned polycrystalline silicon film 208 is ground until the silicon nitride 204 of the gate electrode 205 upper part is exposed. In addition, since abrasion resistance is high as compared with silicon oxide, the silicon nitride is suitable. Moreover, a silicon nitride may be used instead of silicon oxide 206.

[0042] Next, as shown in drawing 2 (d), etching removal of the unnecessary polycrystalline silicon film is carried out, and a semiconductor layer is formed so that

pattern NINGU may be carried out and a source field and a drain field may not connect with the pattern of a request of the above-mentioned polycrystalline silicon film 208 too hastily on field oxide.

[0043] Next, as shown in drawing 2 (e), the front face of the polycrystalline silicon film 205 which carries out etching removal with phosphoric acid, and serves as a gate electrode in the 1st silicon nitride 204 is exposed. Since the silicon nitride is prepared on the gate electrode, alternative removal becomes easy. Moreover, when the silicon nitride 204 is changed into silicon oxide, silicon oxide 206 is changed into a silicon nitride, respectively and it forms, the oxide film on a gate electrode can be removed by fluoric acid instead of phosphoric acid.

[0044] Next, with a refractory metal, for example, this example, as shown in drawing 2 (f), after depositing the titanium film of 500A of thickness, it is made to react with the polycrystalline silicon which performs 1st rapid heating processing and serves as a gate electrode under nitrogen-gas-atmosphere mind at the temperature of about 600 degrees C and the source, and the polycrystalline silicon film used as a drain field, and the metastable titanium silicide film 209 is formed. Next, after pouring in the impurity of a semi-conductor substrate and a reverse conductivity type into the titanium silicide film 209 which serves as the source and a drain field with ion-implantation on condition that the 1st example, and the polycrystalline silicon film 108, etching removal of the unreacted titanium film and the titanium nitride film formed of the 1st rapid heating processing is carried out with the mixed solution of a sulfuric acid and hydrogen peroxide solution.

[0045] Next, as shown in drawing 2 (g), while performing 2nd rapid heating processing of about 1000 degrees C and changing the titanium silicide film 209 to the $TiSi_2$ - C54 stable crystal structure, the impurity ion of a semi-conductor substrate and a reverse conductivity type poured in by the above-mentioned ion implantation is activated, and the source which reaches to the channel field of a transistor, and the drain field 210 are formed. The rest is the well-known approach, is accumulated and forms a silicide diffusion layer mold transistor.

[0046] the activation of an impurity which carried out [above-mentioned] the ion implantation when the reflow process of the interlayer insulation film by heat treatment of 850 degrees C or more entered later, although 1000 degrees C of 2nd rapid heating processing were performed about 20 seconds under nitrogen-gas-atmosphere mind in this example -- this -- since heat treatment of 850 degrees C or more can perform, 2nd (850 degrees C - about 950 degrees C) rapid heating processing may be performed at lower temperature.

[0047] Moreover, in this example, since the quality of the material of the insulator layer of the polycrystalline silicon film upper part used as a gate electrode and the insulator layer of the side-attachment-wall section is changed, it is easy to Salicide-ize a gate electrode, and the source and a drain field to coincidence. Moreover, since the impurity in a gate electrode and the impurity in the source and a drain field can be formed in the same conductivity type while process simplification can be performed, since impurity doping into a gate electrode can also be performed to impurity doping and coincidence to the source and a drain field, it becomes possible to form the surface channel mold MOSFET.

[0048] In this example, the insulator layer of the polycrystalline silicon film upper part used as a gate electrode is a silicon nitride, and although the insulator layer of the side-attachment-wall section is formed by silicon oxide, it is not restricted to this. The insulator layer of the polycrystalline silicon film upper part used as a gate electrode may be made into silicon oxide, it may be good also considering the insulator layer of the side-attachment-wall section as two-layer film of silicon oxide and a silicon nitride, and a silicon nitride is altogether sufficient. In any case, the insulator layer on a gate electrode is alternatively removable.

[0049] Moreover, in the 1st and 2nd examples, although two steps of silicide formation processes were used, after forming a diffusion layer in a certain semi-conductor layer accumulated like from the former, the refractory metal film is deposited and a silicide process may be performed.

[0050] (The 3rd example) The sectional view of the semiconductor device applied to the 3rd example of this invention at drawing 3 is shown. the gate electrode with which a silicon substrate and 302 consist in 301 and gate dielectric film and 304 consist of titanium silicide film and polycrystalline silicon film here in field oxide and 303, and 305 -- in the titanium silicide film and 306, an interlayer insulation film and 309 show a contact hole, and, as for the source, a drain field, and 307, 310 shows up wiring, as for partial wiring and 308. In this example, pattern NINGU was carried out so that it might connect with the pattern of a request of the polycrystalline silicon film 208 in the 2nd example with one side of the source of the adjoining transistor, and a drain field, in case pattern NINGU was carried out, and unnecessary polycrystalline silicon is removed. That is, the mask which separates a source field and a drain field, and the mask (not shown) which forms partial wiring were made to serve a double purpose, and process simplification is achieved. Thus, if silicide-ization of a back process is performed by carrying out pattern NINGU, in case one side of the source and a drain field will be connected with one side of the source of the adjoining transistor, and a

drain field, like the conventional technique, on the source and a drain field, it becomes unnecessary to connect with up wiring through a contact hole, respectively, and partial wiring formation can be performed very easily. That is, the contact hole 309 for connecting the source, the drain field 306, and the up wiring 310 can be formed on the titanium silicide film 305 on field oxide 302. Consequently, since dimension a of the source and the drain field 307 can be made below into the path dimension of the contact hole 309 and a junction capacitance can be decreased Improvement in the speed of a transistor can be attained and it can contribute to reduction of the leakage current by diffusion layer reductions of area, and reduction of power consumption further. Moreover, since it can do small as compared with the conventional technique by the alignment margin to the diameter of contact and the source of contact, and a drain field, the scale down of a semiconductor device can be made easy. In addition, at this example, although contact was formed on the titanium silicide film 305, it cannot be overemphasized that it is applicable on the polycrystalline silicon film with the application of the 1st example.

[0051] (The 4th example) Although it accumulated and the polycrystalline silicon film was deposited as a semi-conductor layer for mold diffusion layer formation in the 1st, 2nd, or 3rd example of the above, even if it instead deposits the amorphous silicon film, it can form similarly.

[0052] (The 5th example) Although it accumulated and deposited any of the polycrystalline silicon film or the amorphous silicon film they were as a semi-conductor layer for mold diffusion layer formation in the above-mentioned example Field bearing (usually (100) field) of the silicon substrate of a substrate is made to inherit by the approach described below. While using as the silicon single crystal film the silicon film which is a diffusion layer by accumulating on the active region which the silicon substrate exposed until it reaches a front face with solid phase epitaxial growth, except an active region, the polycrystalline silicon film or the amorphous silicon film can be deposited. The approach is based on the approach using the cluster type LPCVD equipment which can perform a process until it deposits the polycrystalline silicon film or the amorphous silicon film from HF processing which exposes a pure single crystal silicon substrate surface in the condition without atmospheric-air disconnection. Fields other than an active region can be made to deposit the amorphous silicon film for the silicon single crystal film which carried out epitaxial growth on an active region as for example, amorphous silicon film deposition conditions with cluster type LPCVD equipment on 530-570 degrees C, Si_2H_6 or SiH_4 , and 20-80Pa conditions. Moreover, fields other than an active region can be made to deposit the polycrystalline silicon film

for the silicon single crystal film which carried out epitaxial growth on an active region as polycrystalline silicon film deposition conditions on 580-680 degrees C, Si_2H_6 or SiH_4 , and 20-80Pa conditions. At this example, although it was able to be made the silicon single crystal film to the semi-conductor layer front face on an active region by heat treatment of cluster type LPCVD equipment, after depositing the amorphous silicon film on an active region on 500 degrees C, Si_2H_6 , and 50Pa conditions, you may make it the silicon single crystal film by heat treatment at a back process. In addition, although it had mostly become the silicon single crystal film when this invention persons checked, and defecation of equipment was inadequate, the polycrystalline silicon film with a comparatively big grain size of about 1-10 micrometers was intermingled in some places. Moreover, when it deposits by the amorphous silicon film in 550 degrees C, SiH_4 , and 30Pa conditions, it can be checking that the silicon single crystal film which grew epitaxially on the active region tends to grow epitaxially in a longitudinal direction on a field area of exposed oxide or a gate electrode as compared with the case of the polycrystalline silicon deposited on 620 degrees C, SiH_4 , and 30Pa conditions.

[0053] With the cluster type LPCVD equipment for depositing the silicon single crystal film in this example, moreover, gaseous-phase hydrofluoric acid treatment Or after removing the natural oxidation film of a silicon substrate surface by fluoric acid solution processing, It conveys to the drying room in which the preliminary exhaust air facility was formed without atmospheric-air disconnection in nitrogen-gas-atmosphere mind. After purification nitrogen removes completely the H_2O molecule by which the semi-conductor substrate front face was adsorbed in drying room, it is the configuration which conveys without atmospheric-air disconnection in a deposition room in nitrogen-gas-atmosphere mind through the reserve vacuum chamber which formed the exhaust air facility, and deposits various silicon film. For this reason, neither the natural oxidation film nor an adsorption H_2O molecule is in the semi-conductor wafer front face before deposition, and a silicon substrate surface can be made to carry out epitaxial growth of the single-crystal-silicon film on the usual silicon deposition conditions like usual LPCVD silicon deposition equipment. Here, it becomes important [removal of the adsorption H_2O molecule by purification nitrogen] very much [removal of the natural oxidation film] from the first. After the H_2O molecule had stuck to the semi-conductor wafer front face, when the silicon film is deposited at a silicon deposition room, in order that an adsorption H_2O molecule may react with a silicon substrate with deposition temperature and may form silicon oxide, silicon epitaxial growth becomes impossible. In this example, the dry room is always

purged above the atmospheric pressure, and the dew-point is kept at -10 degrees C or less.

[0054] Although a transistor is produced like other examples except the deposition approach of the silicon film, the about 1000A silicon single crystal film is formed in the source and a drain field. For this reason, the junction from the channel field of a transistor became about 200A, was stabilized and was able to form the very shallow junction. Since it accumulated, and the semi-conductor layer which is a diffusion layer was the silicon single crystal film and diffusion was fully controllable from the polycrystalline silicon film or the amorphous silicon film, this is considered. For this reason, although it is very effective and the effect of the short channel effect appeared notably with the gate width of 0.4 micrometers with the conventional LDD transistor to the short channel effect of a transistor, it can be checking that there is no effect of the short channel effect to the gate width of 0.1 micrometers with the transistor of this example. Furthermore, in this example, since can form the silicon single crystal film thickly, a channel field can be accumulated, it can also prepare in a diffusion layer and gate length effectual in this case becomes long, the short channel effect can be controlled further.

[0055]

[Effect of the Invention] As explained to the detail above, in order according to this invention to deposit the silicon film, to carry out polish removal, to accumulate this silicon film of the gate electrode upper part by the CMP method after gate electrode formation and to form a diffusion layer mold transistor, a selection silicon epitaxial growth system is not needed and cost does not start. Moreover, the problem of generating of the facet in the case of selection silicon epitaxial growth is fundamentally solvable. For this reason, since the source and the drain field which are formed in an ion implantation etc. do not become deep near the channel field but it is hard coming to win popularity the effect of the short channel effect, formation of detailed gate length's transistor becomes easy. Furthermore, since the silicon film can be deposited at low temperature, near the field oxide near the gate electrode, a crystal defect does not arise and there is no increase of leakage current.

[0056] Moreover, the semiconductor device independent of alignment precision which accumulated and was equipped with the diffusion layer mold transistor can be offered, without the semi-conductor substrate of a channel field, receiving a damage.

[0057] Moreover, since an impurity diffused layer field can be formed after forming a silicide layer, in order to pour in impurity ion after performing a silicide-ized reaction to a silicide chemically-modified degree, the effect of the impurity ion in silicide-izing

on an impurity diffused layer field is lost, the perfect TiSi_2 - C54 crystal structure can be formed, and thermal resistance becomes possible [forming the silicide layer of at best very low resistance].

[Brief Description of the Drawings]

[Drawing 1] It is drawing for explaining the semiconductor device concerning the 1st example.

[Drawing 2] It is drawing for explaining the semiconductor device concerning the 2nd example.

[Drawing 3] It is drawing for explaining the semiconductor device concerning the 3rd example.

[Drawing 4] It is drawing for explaining the semiconductor device by the conventional technique.

[Drawing 5] It is drawing for explaining the semiconductor device by other conventional techniques.

[Description of Notations]

101 Silicon Substrate

102 Field Oxide

103 Gate Oxide

104 1st Silicon Oxide

105 Gate Electrode

106 2nd Silicon Oxide

107 Active Region

108 Polycrystalline Silicon Film

109 Titanium Silicide Film

110 Source, Drain Field

Abstract:

PURPOSE: To accurately form a piling diffusion layer at a relatively low temperature by making a height from one main surface in an area near a gate electrode to a surface of a semiconductor layer the highest in the semiconductor layer, and by making that a semiconductor layer extending an isolation region is source and drain regions of a transistor wherein a gate electrode is a gate.

CONSTITUTION: A gate electrode 105 including a field oxide film 102 and a first silicon oxide film 104 is formed on a silicon substrate 101. A polycrystalline silicon film 108 is formed and polished until the first silicon oxide film 104 is exposed, and a thickness A of a polysilicon film in an area near an end of the gate electrode 105 is made thicker than a thickness B of other parts. The polycrystalline silicon film 108 is patterned to a required pattern and unnecessary polycrystalline silicon is removed by etching to prevent a source region and a drain region from shortcircuiting on a field oxide film and a semiconductor layer is formed. In the process, a mask extending over a field oxide film 102 is desirable for patterning.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-245396

(43) 公開日 平成7年(1995)9月19日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/78		7514-4M	H 0 1 L 29/ 78	3 0 1 S
		7514-4M		3 0 1

審査請求 未請求 請求項の数9 O L (全 10 頁)

(21) 出願番号 特願平6-34424

(22) 出願日 平成6年(1994)3月4日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 小瀬 浩

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 森 由紀子

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 弁理士 梅田 勝

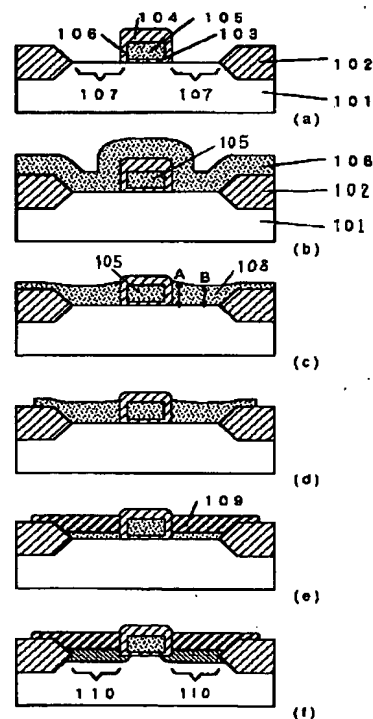
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 積み上げ拡散層を比較的低温で精度よく形成する。

【構成】 シリコン基板101上にフィールド酸化膜102と第1のシリコン酸化膜104を含むゲート電極105を形成した後、多結晶シリコン膜108を形成し、化学的機械的研磨法により第1のシリコン酸化膜104が露出するまで研磨し、不要な多結晶シリコン膜を除去し、ゲート電極105端近傍での多結晶シリコン膜の厚みAが、その他の厚みBより厚くなっていることを特徴とする。

【効果】 知チャネル効果を抑止する。



【特許請求の範囲】

【請求項1】 半導体基板の一主面上に素子分離領域と、ゲート絶縁膜と、ゲート電極と、該ゲート電極に近接して電氣的に分離されて上記一主面に積み上げられた半導体層とを備え、上記ゲート電極端近傍での上記一主面から上記半導体層の表面までの高さが上記半導体層の中で最も高く、上記半導体層が上記素子分離領域まで延在し、上記半導体層が上記ゲート電極をゲートとするトランジスタのソース、ドレイン領域であることを特徴とする半導体装置。

【請求項2】 上記半導体層の表面がシリサイド層であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 上記素子分離領域上の上記半導体層上または上記シリサイド層上に上部配線との接続をとるコンタクトが形成されていることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 シリコン基板上に素子分離領域と活性領域とを形成する工程と、該活性領域上にゲート酸化膜と第1の絶縁膜で覆われたゲート電極とを形成する工程と、第2の絶縁膜を堆積する工程と、上記活性領域の上記シリコン基板表面が露出する迄第2の絶縁膜をエッチバックして上記ゲート電極側壁部に絶縁膜を形成する工程と、多結晶シリコン膜または非晶質シリコン膜のいずれかを堆積する工程と、化学的機械的研磨法により第1の絶縁膜が露出するまで上記多結晶シリコン膜または上記非晶質シリコン膜を研磨する工程と、上記素子分離領域上にて短絡しないように上記多結晶シリコン膜または上記非晶質シリコン膜を所望の形状にパターンニングして半導体層を形成する工程と、上記シリコン基板と逆導電型の不純物を上記半導体層に導入してソース、ドレイン領域を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項5】 単結晶シリコン基板上に素子分離領域と活性領域とを形成する工程と、該活性領域上にゲート酸化膜と第1の絶縁膜で覆われたゲート電極とを形成する工程と、第2の絶縁膜を堆積する工程と、上記活性領域の上記単結晶シリコン基板表面が露出する迄第2の絶縁膜をエッチバックして上記ゲート電極側壁部に絶縁膜を形成する工程と、LPCVD法により大気開放無し状態で清浄な上記単結晶シリコン基板表面を露出してから、露出された領域以外の領域では多結晶シリコン膜または非晶質シリコン膜のいずれかが堆積する条件で多結晶シリコン膜または非晶質シリコン膜のいずれかを堆積して上記単結晶シリコン基板の面方位を受け継いだシリコン単結晶膜を成長させる工程と、化学的機械的研磨法により第1の絶縁膜が露出するまで上記シリコン単結晶膜を含むシリコン膜を研磨する工程と、上記素子分離領域上にて短絡しないように上記シリコン膜を所望の形状にパターンニングして半導体層を形成する工程と、上記シリコン基板と逆導電型の不純物を上記半導体層に導入

してソース、ドレイン領域を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項6】 上記化学的機械的研磨法により研磨された上記多結晶シリコン膜、上記非晶質シリコン膜、または上記シリコン膜のいずれかを所望の形状にパターンニングして半導体層を形成する工程と、隣接する半導体層間を接続するパターンニングの工程とを同時に行うことを特徴とする請求項4または5に記載の半導体装置の製造方法。

【請求項7】 上記半導体層上に高融点金属膜を堆積する工程と、シリサイド化する工程とを含むことを特徴とする請求項4、5または6に記載の半導体装置の製造方法。

【請求項8】 所望の形状にパターンニングして半導体層を形成する工程の後に、高融点金属膜を堆積する工程と、第1の急速加熱処理により上記高融点金属膜を半導体層と反応させ高融点金属シリサイド膜を形成する工程と、イオン注入法によりシリコン基板と逆導電型の不純物を上記高融点金属シリサイド膜中に注入する工程と、未反応の上記高融点金属膜をエッチング除去する工程と、第2の急速加熱処理により上記高融点金属シリサイド膜を安定な結晶構造に変化させる工程を含むことを特徴とする請求項4または5に記載の半導体装置の製造方法。

【請求項9】 第1の絶縁膜または第2の絶縁膜の少なくともいづれかがシリコン窒化膜であることを特徴とする請求項4または5に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置及び半導体装置の製造方法に関し、特に、積み上げ拡散層型トランジスタの構造、及び製造方法に関する。

【0002】

【従来の技術】 LSIの縮小化に伴い、MOSFETのゲート長も、より短くする必要がある。しかし、従来のLDD (Lightly Doped Drain) 構造のMOSFETでは、ソース、ドレイン領域と、半導体基板とのジャンクションが半導体基板側に深く形成されるため、短チャンネル効果が起こり、ゲート長を短くできないという問題点がある。ジャンクション深さを浅く形成するため、イオン注入のエネルギーを低くし、かつ活性化アニールを低温化、もしくは高温急速加熱処理化することにより、LDD構造のMOSFETで、より短いゲート長のトランジスタを実現する試みも盛んに行なわれているが、根本的な解決には至っていない。

【0003】 そこで、MOSFETのチャンネル領域となる半導体基板の一主面より半導体層を積み上げて、その半導体層にソース、ドレイン領域を形成することにより、実質的にジャンクションを浅く形成する技術が注目を集めている。以下に上記チャンネル領域となる半導体

基板の一主面より半導体層を積み上げて形成されたソース、ドレイン領域を有する構造のMOSFET（積み上げ拡散層型トランジスタ）の従来技術について説明する。

【0004】図4に、従来の積み上げ拡散層型トランジスタである半導体装置の製造方法を示す（特開昭61-196577）。図4（a）に示すように、所定の領域にフィールド酸化膜402を形成したシリコン基板401上に、ゲート酸化膜403、表面がシリコン酸化膜405で覆われたゲート電極404を形成する工程と、図4（b）に示すように、活性領域上に選択的にシリコンをエピタキシャル成長する事により、シリコン膜406を積み上げる工程とにより製造されている。

【0005】図5に、他の従来の積み上げ拡散層型トランジスタである半導体装置の製造方法を示す（M. Shimizu et al., Symposium on VLSI Technology Digest of Technical Papers, P11 (1988)）。図5（a）に示すように、所定の領域にフィールド酸化膜502を形成したシリコン基板501上に多結晶シリコン膜503を堆積する工程と、図5（b）に示すように、上記多結晶シリコン膜503上にシリコン酸化膜504を形成した後、トランジスタのチャンネル領域となる領域のシリコン酸化膜504及び多結晶シリコン膜503をRIEにより、シリコン基板501が露出するまでエッチングする工程と、図5（c）に示すように、ゲート酸化膜505、ゲート電極506を形成する工程とにより製造されている。また、図5（d）に示すように、シリサイド層形成のために、ソース、ドレイン領域となる領域に不純物をイオン注入法によりドーピングし、熱処理により活性化した後、Tiをスパッタし、RTAにより自己整合的にゲート電極506及び、ソース、ドレイン領域508上にチタンシリサイド膜507を形成する方法が一般的に行なわれている。

【0006】

【発明が解決しようとする課題】しかしながら、図4に示された従来技術では、以下のような問題点がある。すなわち、選択シリコンエピタキシャル成長装置に於て、非常に大量の水素を使用するため、規模が大きく、またコストも非常にかかる。また、堆積前処理として、水素還元により活性領域上の自然酸化膜を除去するために1000℃以上の温度で熱処理を行なう必要がある。さらに、このような装置で形成された半導体層を積み上げたトランジスタ構造に関しては、選択シリコンエピタキシャル成長装置の特性上、図4（b）に示すようにゲート電極404の端近傍において、エピタキシャル成長されたシリコン膜406にファセットが発生し、エピタキシャル成長されたシリコンの膜厚が薄くなる。そのため、固相内及気相拡散またはイオン注入により形成されるソース、ドレイン領域は、部分的にゲート電極404端部のチャンネル領域近傍にて接合が深くなり、短チャネル

ル効果の影響を受け、微細ゲート長のトランジスタの形成が困難となる。更に、通常、900℃～1100℃と堆積温度が高いため、製造工程上の熱処理マージンが少ないうえ、熱応力等により、ゲート電極近傍、及び、フィールド酸化膜近傍に、結晶欠陥が生じ、リーク電流が増大する。

【0007】また、図5に示された従来技術では、以下のような問題点がある。すなわちトランジスタのチャンネル領域となる領域のシリコン酸化膜504、及び多結晶シリコン膜503を、RIEによりシリコン基板501が露出するまでエッチングする工程に於いて、RIEにより、シリコン基板501のチャンネル領域に相当する部分がダメージを受けるため、移動度等のトランジスタ特性を悪化させる。また、積み上げられたソース、ドレイン領域に対して、自己整合的にゲート電極を形成できないため、位置合わせずれが必ず発生し、ゲート電極形状はT型形状と成り、ソース、ドレイン領域形成のための不純物イオン注入時にゲート電極506がマスクとなり位置合わせ精度に依存した左右非対称のオフセットが発生するので、トランジスタ特性が左右非対称になる。さらに、シリサイド形成については、シリサイド化反応を行う前に（例えばTi金属を堆積する前に）不純物拡散層を形成しているため、シリサイド化反応の制御が困難となり、TiSi₂～C54結晶が安定的に形成できずチタンシリサイドの抵抗が高くなる。特に、チタンシリサイドではn型の拡散層が高くなる。

【0008】そこで、本発明の目的は、上記問題点を解決しうる半導体装置及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】請求項1に記載の半導体装置は、半導体基板の一主面上に素子分離領域と、ゲート絶縁膜と、ゲート電極と、該ゲート電極に近接して電氣的に分離されて上記一主面に積み上げられた半導体層とを備え、上記ゲート電極端近傍での上記一主面から上記半導体層の表面までの高さが上記半導体層の中で最も高く、上記半導体層が上記素子分離領域まで延在し、上記半導体層が上記ゲート電極をゲートとするトランジスタのソース、ドレイン領域であることを特徴とする。

【0010】請求項2に記載の半導体装置は、請求項1に記載の半導体装置において、上記半導体層の表面がシリサイド層であることを特徴とする。

【0011】請求項3に記載の半導体装置は、請求項1または2に記載の半導体装置において、上記素子分離領域上の上記半導体層上または上記シリサイド層上に上部配線との接続をとるコンタクトが形成されていることを特徴とする。

【0012】請求項4に記載の半導体装置の製造方法は、シリコン基板上に素子分離領域と活性領域とを形成する工程と、該活性領域上にゲート酸化膜と第1の絶縁

膜で覆われたゲート電極とを形成する工程と、第2の絶縁膜を堆積する工程と、上記活性領域の上記シリコン基板表面が露出する迄第2の絶縁膜をエッチバックして上記ゲート電極側壁部に絶縁膜を形成する工程と、多結晶シリコン膜または非晶質シリコン膜のいずれかを堆積する工程と、化学的機械的研磨法により第1の絶縁膜が露出するまで上記多結晶シリコン膜または上記非晶質シリコン膜を研磨する工程と、上記素子分離領域上にて短絡しないように上記多結晶シリコン膜または上記非晶質シリコン膜を所望の形状にパターンニングして半導体層を形成する工程と、上記シリコン基板と逆導電型の不純物を上記半導体層に導入してソース、ドレイン領域を形成する工程を含むことを特徴とする。

【0013】請求項5に記載の半導体装置の製造方法は、単結晶シリコン基板上に素子分離領域と活性領域とを形成する工程と、該活性領域上にゲート酸化膜と第1の絶縁膜で覆われたゲート電極とを形成する工程と、第2の絶縁膜を堆積する工程と、上記活性領域の上記単結晶シリコン基板表面が露出する迄第2の絶縁膜をエッチバックして上記ゲート電極側壁部に絶縁膜を形成する工程と、LPCVD法により大気開放無し状態で清浄な上記単結晶シリコン基板表面を露出してから、露出された領域以外の領域では多結晶シリコン膜または非晶質シリコン膜のいずれかが堆積する条件で多結晶シリコン膜または非晶質シリコン膜のいずれかを堆積して上記単結晶シリコン基板の面方位を受け継いだシリコン単結晶膜を成長させる工程と、化学的機械的研磨法により第1の絶縁膜が露出するまで上記シリコン単結晶膜を含むシリコン膜を研磨する工程と、上記素子分離領域上にて短絡しないように上記シリコン膜を所望の形状にパターンニングして半導体層を形成する工程と、上記シリコン基板と逆導電型の不純物を上記半導体層に導入してソース、ドレイン領域を形成する工程を含むことを特徴とする。

【0014】請求項6に記載の半導体装置の製造方法は、請求項4または5に記載の半導体装置の製造方法において、上記化学的機械的研磨法により研磨された上記多結晶シリコン膜、上記非晶質シリコン膜、または上記シリコン膜のいずれかを所望の形状にパターンニングして半導体層を形成する工程と、隣接する半導体層間を接続するパターンニングの工程とを同時に行うことを特徴とする。

【0015】請求項7に記載の半導体装置の製造方法は、請求項4、5または6に記載の半導体装置の製造方法において、上記半導体層上に高融点金属膜を堆積する工程と、シリサイド化する工程とを含むことを特徴とする。

【0016】請求項8に記載の半導体装置の製造方法は、請求項4または5に記載の半導体装置の製造方法において、所望の形状にパターンニングして半導体層を形成する工程の後に、高融点金属膜を堆積する工程と、第

1の急速加熱処理により上記高融点金属膜を半導体層と反応させ高融点金属シリサイド膜を形成する工程と、イオン注入法によりシリコン基板と逆導電型の不純物を上記高融点金属シリサイド膜中に注入する工程と、未反応の上記高融点金属膜をエッチング除去する工程と、第2の急速加熱処理により上記高融点金属シリサイド膜を安定な結晶構造に変化させる工程を含むことを特徴とする。

【0017】請求項9に記載の半導体装置の製造方法は、請求項4または5に記載の半導体装置の製造方法において、第1の絶縁膜または第2の絶縁膜の少なくともいずれかがシリコン窒化膜であることを特徴とする。

【0018】

【作用】請求項1に記載の半導体装置によれば、ゲート電極と素子分離領域との間に半導体層を埋めるので、平坦化を行うことができると共に、ファセットをなくし少なくともゲート電極端近傍での半導体層が薄くなっていない状態に保てるので短チャンネル効果を有効に防止することができる。

【0019】請求項2に記載の半導体装置によれば、ソース、ドレイン領域を低抵抗化することができるので拡散層の抵抗を低くでき、トランジスタを高速化できる。

【0020】請求項3に記載の半導体装置によれば、ソース、ドレイン領域を小さくすることができるので、高集積化が容易になると共に、接合容量を低減し、トランジスタを高速化できる。

【0021】請求項4に記載の半導体装置の製造方法によれば、ファセットを解消することができ、短チャンネル効果を防止できると共に比較的低温で、積み上げ半導体層を形成することができるので、製造工程での温度マージンが増加する。

【0022】請求項5に記載の半導体装置の製造方法によれば、積み上げ半導体層をシリコン単結晶膜、または一部に1～10 μ m程度の大きなグレインサイズの多結晶シリコン膜が混在した膜とすることができ、接合深さの制御が容易となり、安定したソース、ドレイン領域あるいはチャンネル領域を形成できる。

【0023】請求項6に記載の半導体装置の製造方法によれば、局所配線とマスクを共用できるので、工程簡略化、コスト低減ができる。

【0024】請求項7に記載の半導体装置の製造方法によれば、少なくともシリサイド膜をソース、ドレイン領域に形成するので、ソース、ドレイン領域を低抵抗化できる。

【0025】請求項8に記載の半導体装置の製造方法によれば、シリサイド膜を低抵抗に安定して形成することができる。特に、チタンシリサイド膜を安定して形成ことができ、特にそのn型拡散層を低抵抗にできる。

【0026】請求項9に記載の半導体装置の製造方法によれば、化学的機械的研磨を行うにあたり、耐摩耗性を

向上させることができるので、製造歩留りが向上する。また、ゲート電極のシリサイド化を行うにあたり、第2の絶縁膜を残したまま第1の絶縁膜を選択的に除去する時に、第1と第2の絶縁膜の材質を代えることにより、容易に第1の絶縁膜を除去することができる。

【0027】

【実施例】以下に、本発明の実施例について詳細に説明する。以下、P型シリコン基板上にn型のソース、ドレイン領域をnMOSトランジスタの場合について説明するが、pMOSトランジスタ、cMOSトランジスタについても適用できることは言うまでもない。

【0028】（第1の実施例）図1に、第1の実施例に係る半導体装置の製造工程断面を示す。

【0029】まず、図1（a）に示すように、シリコン基板101上に膜厚4000Åのフィールド酸化膜102、膜厚100Åのゲート酸化膜103、上部が膜厚1500Åの第1のシリコン酸化膜104で覆われた膜厚1500Åのゲート電極105を形成し、減圧化学的気相成長法（LPCVD法）により、膜厚500Åの第2のシリコン酸化膜106を堆積した後、シリコン基板101の活性領域107が露出するまで第2のシリコン酸化膜106をRIE装置により、エッチバックする。なお、通常エッチバックをRIE装置により行うと活性領域107内に結晶欠陥が発生し、後述する実施例で固相エピタキシャル成長させるには支障があるので、結晶欠陥が発生しない条件、例えば、エッチバック工程において、第2のシリコン酸化膜106を残存させ、残存分をフッ酸により除去する方法を用いることもできる。この工程を経て、形成された第1のシリコン酸化膜104を含むゲート電極105のシリコン基板101の表面からの高さは、フィールド酸化膜102のシリコン基板101の表面からの高さよりも高く形成している。また、ゲート電極105として不純物が導入されて低抵抗化された多結晶シリコン膜、あるいはシリサイド膜を用いることができる。なお、本実施例では示していないが、チャンネル領域に不純物を導入してトランジスタの閾値を調節したり、第2のシリコン酸化膜のサイドウォール下にLDDのための不純物導入を適宜行っている。さらに、第1のシリコン酸化膜104は、後述する化学的機械的研磨工程を考慮してあるほうが望ましい。

【0030】次に、図1（b）に示すように、活性領域107表面の清浄化を行なうため、アッシング処理、洗浄、アンモニア過水処理、HF処理を順次行なった後に、LPCVD装置により、膜厚1000Åの多結晶シリコン膜108を堆積する。ここでも、シリコン基板101からゲート電極105上の多結晶シリコン膜108までの高さは、フィールド酸化膜102上よりも高くなっている。

【0031】次に、図1（c）に示すように、アミン系アルカリ溶液中にコロイダルシリカを添加した溶液を用

いて、化学的機械的研磨法（CMP法）により、ゲート電極105上部の第1のシリコン酸化膜104が露出するまで上記多結晶シリコン膜108を研磨する。ここで、ソース領域とドレイン領域に相当する部分の多結晶シリコン膜108は、図示しないがゲート電極105に沿って電気的に接続されたままである。なお、第1のシリコン酸化膜104、ゲート電極105の高さを調節することにより、高さA及びBを調整することができる。

【0032】次に、図1（d）に示すように、上記多結晶シリコン膜108を所望のパターンにパターンニングし、ソース領域と、ドレイン領域がフィールド酸化膜上にて短絡しないように不要な多結晶シリコンをエッチング除去して半導体層を形成する。パターンニングのマスクは、ソース領域とドレイン領域とが分離できるようなマスクであればよく、後述する局所配線のマスクと兼用してもよい。また、フィールド酸化膜102上まで延在するようにされたマスクがよい。

【0033】図1（d）の工程後は、図示しないイオン注入工程、熱処理工程を経て、ソース、ドレイン領域を形成し積み上げ拡散層型トランジスタを形成する。

【0034】本実施例の方法により形成された積み上げ拡散層型トランジスタの構造では、CMP法によりゲート電極105上部の多結晶シリコン膜108を研磨除去しているため、従来の選択シリコンエピタキシャル成長法にて形成された積み上げ拡散層型ソース、ドレイン領域を形成する方法と異なり、ゲート電極105端近傍にて積み上げられたシリコン膜にファセットが発生することなく、ゲート電極105端近傍の積み上げられた多結晶シリコンの厚さAが、ゲート電極105端近傍以外の場所での厚さBと比較して厚くなっており、最悪でも厚さAと厚さBとの膜厚が等しくなるのでゲート電極105端近傍でもジャンクション深さを浅く形成することができる。

【0035】さらに、ソース、ドレイン領域を低抵抗化するために、シリサイド化された積み上げ拡散層型トランジスタの形成方法は、図1（d）までの工程を経た後に、図1（e）に示すように、高融点金属、例えば本実施例では、最も低抵抗化できる膜厚500Åのチタン膜を堆積した後に、600℃程度の温度で、窒素雰囲気のもとで、第1の急速加熱処理を行ない、ソース、ドレイン領域となる多結晶シリコン膜108と反応させ、化学量論的に準安定なTiSi₂～C49結晶構造チタンシリサイド膜109を形成する。次に、シリコン基板101と逆導電型の不純物をイオン注入法によりソース、ドレイン領域となるチタンシリサイド膜109及び多結晶シリコン膜108中に注入した後に、未反応のチタン膜および、第1の急速加熱処理により形成された窒化チタン膜を硫酸と過酸化水素水の混合溶液によりエッチング除去する。本実施例における不純物のイオン注入では、ヒ素イオンを100KeVの注入エネルギーで5×10

15 cm^{-2} のドーズ量注入している。なお、pMOSトランジスタではボロニオンまたはフッ化ボロニオンをヒ素イオンの代わりに注入する。ここで、いずれの場合でもイオン注入における飛程 R_p 、その標準偏差を ΔR_p として、上記チタンシリサイド膜の膜厚と $(R_p + \Delta R_p)$ とがほぼ等しくなるように注入エネルギーを選択するのが最も良い。

【0036】次に、図1(f)に示すように、 1000°C 程度の第2の急速加熱処理を行ないチタンシリサイド膜109を安定な、 $\text{TiSi}_2 \sim \text{C}54$ 結晶構造に変化させると共に、上記イオン注入により注入された半導体基板と逆導電型の不純物イオンを活性化し、トランジスタのチャンネル領域まで達するソース、ドレイン領域110を形成する。後は、周知の方法で、積み上げシリサイド拡散層型MOSFETを形成する。

【0037】本実施例では第2の急速加熱処理は、窒素雰囲気の下で、 1000°C 、20秒程度行っているが、 850°C 以上の熱処理による層間絶縁膜のリフロー工程が後から入る場合、上記イオン注入した不純物の活性化は、上記 850°C 以上の熱処理により行えるため、より低い温度で($850^\circ\text{C} \sim 950^\circ\text{C}$ 程度)第2の急速加熱処理を行なってもよい。

【0038】(第2の実施例)図2に、第2の実施例に係る半導体装置の製造工程断面を示す。第2の実施例は、第1の実施例とはゲート電極上にシリコン酸化膜の代わりにシリコン窒化膜を設けている点、ゲート電極が多結晶シリコン膜である点、ゲート電極もシリサイド化する点以外の条件は同じである。

【0039】まず、図2(a)に示すように、シリコン基板201上に膜厚 4000 \AA のフィールド酸化膜202、膜厚 100 \AA のゲート酸化膜203、上部が膜厚 1500 \AA のシリコン窒化膜204で覆われた膜厚 1500 \AA の多結晶シリコンよりなるゲート電極205を形成し、減圧化学的気相成長法(LPCVD法)により、膜厚 500 \AA のシリコン酸化膜206を堆積した後、シリコン基板201の活性領域207が露出するまで上記シリコン酸化膜206をRIE装置により、エッチバックする。

【0040】次に、図2(b)に示すように、活性領域207表面の清浄化を行なうため、アッシング処理、洗浄、アンモニア過水処理、HF処理を順次行なった後に、LPCVD装置により、膜厚 1000 \AA の多結晶シリコン膜208を堆積する。

【0041】次に、図2(c)に示すように、化学的機械的研磨法(CMP法)により、ゲート電極205上部のシリコン窒化膜204が露出するまで上記多結晶シリコン膜208を研磨する。なお、シリコン窒化膜は、シリコン酸化膜と比較して耐摩耗性が高いので、好適である。また、シリコン窒化膜をシリコン酸化膜206の代わりに用いても良い。

【0042】次に、図2(d)に示すように、上記多結晶シリコン膜208を所望のパターンにパターンニングし、ソース領域と、ドレイン領域がフィールド酸化膜上にて短絡しないように不要な多結晶シリコン膜をエッチング除去して半導体層を形成する。

【0043】次に、図2(e)に示すように、第1のシリコン窒化膜204をリン酸により、エッチング除去し、ゲート電極となる多結晶シリコン膜205の表面を露出させる。シリコン窒化膜をゲート電極上に設けているので、選択的な除去が容易となる。また、シリコン窒化膜204をシリコン酸化膜、シリコン酸化膜206をシリコン窒化膜にそれぞれ変更して形成した場合には、リン酸の代わりにフッ酸でゲート電極上の酸化膜を除去することができる。

【0044】次に、図2(f)に示すように、高融点金属、例えば本実施例では、膜厚 500 \AA のチタン膜を堆積した後、 600°C 程度の温度で、窒素雰囲気のもとで、第1の急速加熱処理を行ないゲート電極となる多結晶シリコンおよび、ソース、ドレイン領域となる多結晶シリコン膜と反応させ、準安定なチタンシリサイド膜209を形成する。次に、半導体基板と逆導電型の不純物を第1の実施例の条件でイオン注入法によりソース、ドレイン領域となるチタンシリサイド膜209及び多結晶シリコン膜108中に注入した後に、未反応のチタン膜および、第1の急速加熱処理により形成された窒化チタン膜を硫酸と過酸化水素水の混合溶液によりエッチング除去する。

【0045】次に、図2(g)に示すように、 1000°C 程度の第2の急速加熱処理を行ないチタンシリサイド膜209を安定な、 $\text{TiSi}_2 \sim \text{C}54$ 結晶構造に変化させると共に、上記イオン注入により注入された半導体基板と逆導電型の不純物イオンを活性化し、トランジスタのチャンネル領域まで達するソース、ドレイン領域210を形成する。後は、周知の方法で、積み上げシリサイド拡散層型トランジスタを形成する。

【0046】本実施例では第2の急速加熱処理は、窒素雰囲気の下で、 1000°C 、20秒程度行なっているが、 850°C 以上の熱処理による層間絶縁膜のリフロー工程が後から入る場合、上記イオン注入した不純物の活性化は、該 850°C 以上の熱処理により行なえるため、より低い温度で($850^\circ\text{C} \sim 950^\circ\text{C}$ 程度)第2の急速加熱処理を行なってもよい。

【0047】また、本実施例では、ゲート電極となる多結晶シリコン膜上部の絶縁膜と、側壁部の絶縁膜の材質を変えているため、ゲート電極と、ソース、ドレイン領域を同時にシリサイド化することが容易となっている。また、ゲート電極中への不純物ドーピングもソース、ドレイン領域への不純物ドーピングと同時に行なえるため、工程簡略化が行なえると同時に、ゲート電極中の不純物と、ソース、ドレイン領域中の不純物を同じ導電型

に形成できるため、表面チャンネル型MOSFETを形成することが可能となる。

【0048】本実施例では、ゲート電極となる多結晶シリコン膜上部の絶縁膜は、シリコン窒化膜であり、側壁部の絶縁膜は、シリコン酸化膜で形成しているがこれに限るものではない。ゲート電極となる多結晶シリコン膜上部の絶縁膜をシリコン酸化膜とし、側壁部の絶縁膜を、シリコン酸化膜とシリコン窒化膜の2層膜としてもよく、すべてシリコン窒化膜でもよい。いずれの場合でも、ゲート電極上の絶縁膜を選択的に除去することができる。

【0049】また、第1及び第2の実施例では、2段階のシリサイド形成工程を用いたが、従来からあるように、積み上げられた半導体層に拡散層を形成してから高融点金属膜を堆積してシリサイド工程を行っても良い。

【0050】(第3の実施例)図3に、本発明の第3の実施例に係る半導体装置の断面図を示す。ここで、301はシリコン基板、302はフィールド酸化膜、303はゲート絶縁膜、304はチタンシリサイド膜と多結晶シリコン膜とからなるゲート電極、305はチタンシリサイド膜、306はソース、ドレイン領域、307は局所配線、308は層間絶縁膜、309はコンタクト孔、310は上部配線を示す。本実施例では、第2の実施例における多結晶シリコン膜208を所望のパターンにパターンニングする際、隣接するトランジスタのソース、ドレイン領域の一方と接続するようにパターンニングして、不要な多結晶シリコンを除去している。つまり、ソース領域とドレイン領域とを分離するマスクと局所配線を形成するマスク(図示しない)とを兼用して工程簡略化をはかっている。このようにパターンニングすることによって、後工程のシリサイド化を行えば、ソース、ドレイン領域の一方を隣接するトランジスタのソース、ドレイン領域の一方と接続する際、従来技術のようにソース、ドレイン領域上にそれぞれコンタクト孔を介して上部配線にて接続する必要がなくなり、非常に容易に局所配線形成を行なうことができる。つまり、ソース、ドレイン領域306と上部配線310とを接続するためのコンタクト孔309をフィールド酸化膜302上のチタンシリサイド膜305上に形成することができ、その結果、ソース、ドレイン領域307の寸法Aをコンタクト孔309の径寸法以下にすることができ、接合容量を減少することができるので、トランジスタの高速化を達成でき、さらに拡散層面積縮小によるリーク電流の低減、消費電力の低減に寄与することができる。また、従来技術と比較して、コンタクト径及びコンタクトのソース、ドレイン領域への位置合わせマージン分だけ小さくできるので、半導体装置のスケールダウンを容易にすることができる。なお、本実施例では、チタンシリサイド膜305上にコンタクトを設けたが、第1の実施例を適用して多結晶シリコン膜上に適用できることは言うまでもな

い。

【0051】(第4の実施例)上記第1、第2または第3の実施例では、積み上げ型拡散層形成のための半導体層として多結晶シリコン膜を堆積したが、その替わりに非晶質シリコン膜を堆積しても、同様に形成することができる。

【0052】(第5の実施例)上記実施例では、積み上げ型拡散層形成のための半導体層として多結晶シリコン膜または非晶質シリコン膜のいずれかを堆積したが、以下に述べる方法により、下地のシリコン基板の面方位

(通常(100)面)を受け継がせて、シリコン基板の露出した活性領域上の積み上げ拡散層であるシリコン膜を固相エピタキシャル成長により表面にいたるまでシリコン単結晶膜にすると共に、活性領域以外では多結晶シリコン膜または非晶質シリコン膜を堆積することができる。その方法は、清浄な単結晶シリコン基板表面を露出するHF処理から多結晶シリコン膜または非晶質シリコン膜を堆積するまでの工程を大気開放なしの状態で行い、クラスタ型LPCVD装置を用いる方法によるものである。クラスタ型LPCVD装置により、例えば、非晶質シリコン膜堆積条件として、530~570℃、 Si_2H_6 もしくは SiH_4 、20~80Paの条件で、活性領域上にエピタキシャル成長させたシリコン単結晶膜を、活性領域以外の領域には非晶質シリコン膜を堆積させることができる。また、多結晶シリコン膜堆積条件として、580~680℃、 Si_2H_6 もしくは SiH_4 、20~80Paの条件で、活性領域上にエピタキシャル成長させたシリコン単結晶膜を、活性領域以外の領域には多結晶シリコン膜を堆積させることができる。本実施例では、クラスタ型LPCVD装置の熱処理で、活性領域上の半導体層表面までシリコン単結晶膜にすることができたが、500℃、 Si_2H_6 、50Paの条件で非晶質シリコン膜を活性領域に堆積した後、後工程での熱処理でシリコン単結晶膜にしても良い。なお、本発明者らが確認したところ、装置の清浄化が不十分な場合には、大部分シリコン単結晶膜となっていたが、ところどころに、1~10 μm 程度の比較的大きなグレインサイズが多結晶シリコン膜が混在していた。また、550℃、 SiH_4 、30Paの条件で非晶質シリコン膜で堆積した場合は、620℃、 SiH_4 、30Paの条件で堆積した多結晶シリコンの場合と比較して、活性領域上にエピタキシャル成長したシリコン単結晶膜がフィールド酸化膜領域上まで、あるいはゲート電極上まで横方向にエピタキシャル成長しやすいことが確認できている。

【0053】また、本実施例におけるシリコン単結晶膜を堆積するためのクラスタ型LPCVD装置では、気相フッ酸処理または、フッ酸溶液処理にてシリコン基板表面の自然酸化膜を除去した後、大気開放無しで窒素雰囲気中にて予備排気設備を設けた乾燥室に搬送し、乾燥室にて半導体基板表面に吸着された、 H_2O 分子を精製窒

素で完全に除去した後、排気設備を設けた予備真空室を介して大気開放無しで窒素雰囲気中で堆積室に搬送し、各種シリコン膜を堆積する構成である。このため、通常のLPCVDシリコン堆積装置の様に、堆積前の半導体ウエハ表面に自然酸化膜や、吸着 H_2O 分子が無く、通常のシリコン堆積条件にてシリコン基板表面に単結晶シリコン膜をエピタキシャル成長させる事ができる。ここで、自然酸化膜の除去はもとより、精製窒素による吸着 H_2O 分子の除去が非常に重要となる。 H_2O 分子が半導体ウエハ表面に吸着した状態でシリコン堆積室にてシリコン膜を堆積した場合、吸着 H_2O 分子が堆積温度によりシリコン基板と反応し、シリコン酸化膜を形成するため、シリコンエピタキシャル成長が不可能となる。本実施例では、乾燥室は、常に大気圧以上でパージされており、その露点は $-10^{\circ}C$ 以下に保たれている。

【0054】シリコン膜の堆積方法以外は、他の実施例と同様にしてトランジスタは作製されるが、ソース、ドレイン領域に 1000\AA 程度のシリコン単結晶膜を形成している。このため、トランジスタのチャンネル領域からの接合は、 200\AA 程度となり、非常に浅いジャンクションを安定して形成することができた。これは、積み上げ拡散層である半導体層がシリコン単結晶膜であることから、多結晶シリコン膜または非晶質シリコン膜よりも拡散を十分に制御できたためと考えられる。このため、トランジスタの短チャンネル効果に対し、非常に有効であり、従来のLDDトランジスタでは、 $0.4\mu m$ のゲート幅にて短チャンネル効果の影響が顕著に表れていたが、本実施例のトランジスタでは、 $0.1\mu m$ のゲート幅まで短チャンネル効果の影響がないことが確認できている。さらに、本実施例では、シリコン単結晶膜を厚く形成してチャンネル領域を積み上げ拡散層内に設けることもでき、この場合は実効的なゲート長が長くなるので、さらに、短チャンネル効果を抑制することができる。

【0055】

【発明の効果】以上詳細に説明したように、本発明によれば、ゲート電極形成後にシリコン膜を堆積し、CMP法により、ゲート電極上部の該シリコン膜を研磨除去し、積み上げ拡散層型トランジスタを形成するため、選択シリコンエピタキシャル成長装置を必要とせず、コストがかからない。また、選択シリコンエピタキシャル成長の場合のファセットの発生の問題を根本的に解決する

ことができる。このため、イオン注入等にて形成されるソース、ドレイン領域は、チャンネル領域近傍にて深くならず、短チャンネル効果の影響を受けにくくなるため、微細ゲート長のトランジスタの形成が容易になる。更に、低温でシリコン膜を堆積できるため、ゲート電極近傍、及び、フィールド酸化膜近傍に、結晶欠陥が生じることがなく、リーク電流の増大が無い。

【0056】また、チャンネル領域の半導体基板がダメージを受けずに、位置合わせ精度に依存しない積み上げ拡散層型トランジスタを備えた半導体装置を提供できる。

【0057】また、シリサイド化工程においては、シリサイド化反応を行なった後に不純物イオンを注入するため、シリサイド層を形成した後で不純物拡散層領域を形成できるため、不純物拡散層領域上のシリサイド化における不純物イオンの影響が無くなり、完全な $TiSi_2 \sim C_{54}$ 結晶構造を形成することができ、耐熱性がよく非常に低抵抗のシリサイド層を形成することが可能となる。

【図面の簡単な説明】

【図1】第1の実施例に係る半導体装置を説明するための図である。

【図2】第2の実施例に係る半導体装置を説明するための図である。

【図3】第3の実施例に係る半導体装置を説明するための図である。

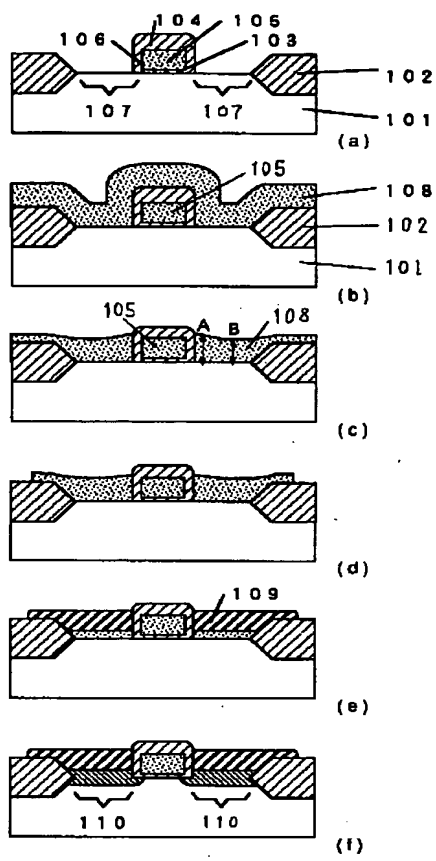
【図4】従来技術による半導体装置を説明するための図である。

【図5】他の従来技術による半導体装置を説明するための図である。

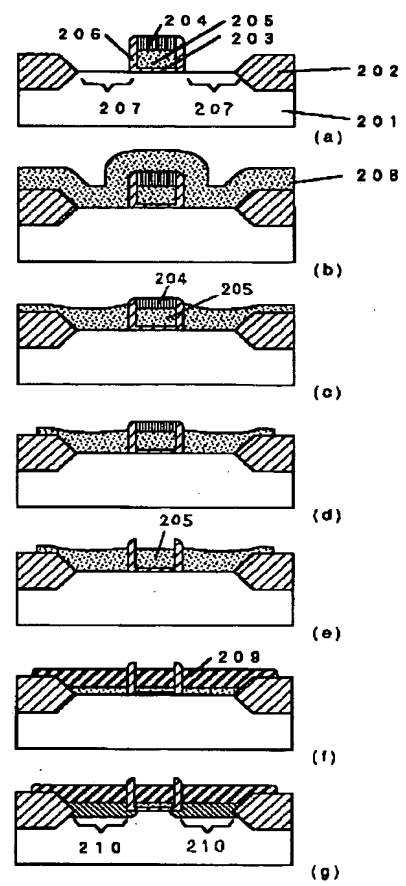
【符号の説明】

- 101 シリコン基板
- 102 フィールド酸化膜
- 103 ゲート酸化膜
- 104 第1のシリコン酸化膜
- 105 ゲート電極
- 106 第2のシリコン酸化膜
- 107 活性領域
- 108 多結晶シリコン膜
- 109 チタンシリサイド膜
- 110 ソース、ドレイン領域

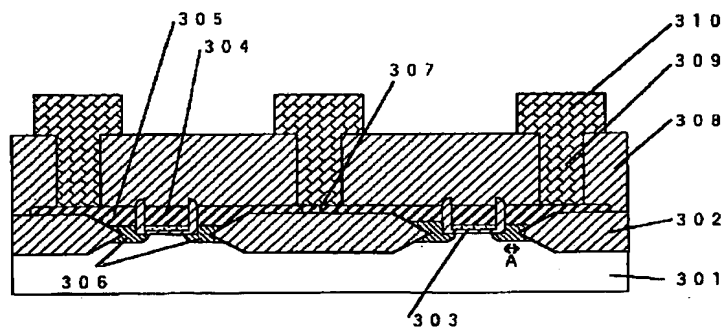
【図1】



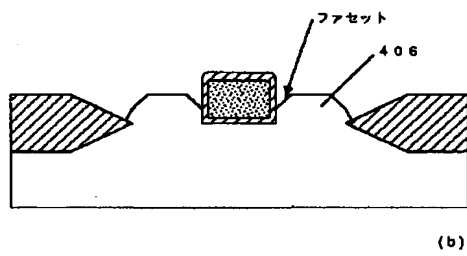
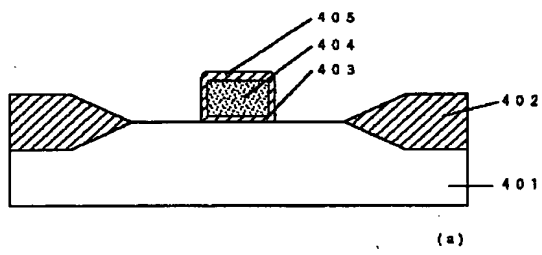
【図2】



【図3】



【図4】



【図5】

